

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-134797

(P2003-134797A)

(43)公開日 平成15年5月9日 (2003.5.9)

(51)Int.Cl.<sup>7</sup>

H 02 M 1/00

識別記号

F I

テマコト<sup>7</sup> (参考)

H 02 H 7/122

H 02 M 1/08  
7/48

H 02 M 1/00

H 5 G 0 5 3

L 5 H 0 0 7

H 02 H 7/122

Z 5 H 7 4 0

H 02 M 1/08

3 5 1 A

7/48

M

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21)出願番号

特願2001-318686(P2001-318686)

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(22)出願日

平成13年10月16日 (2001. 10. 16)

(72)発明者 滝沢 聰毅

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74)代理人 100066980

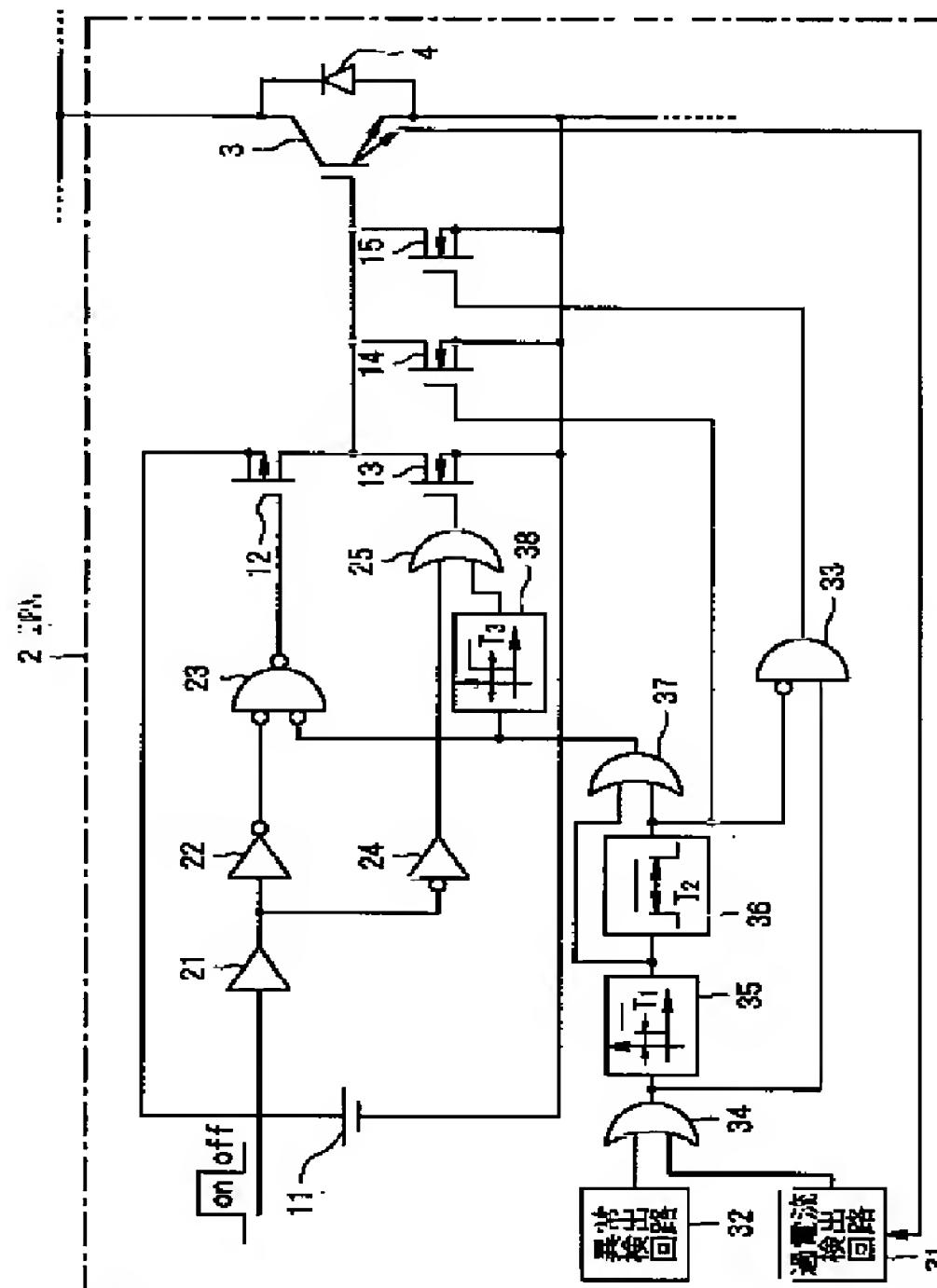
弁理士 森 哲也 (外2名)

(54)【発明の名称】 パワーデバイスの駆動回路

(57)【要約】 (修正有)

【課題】 異常検出に伴ってパワーデバイスを遮断する際に、高サージ電圧が印加されることを確実に回避し信頼性の向上を図る。

【解決手段】 過電流を検出する過電流検出回路31及び過熱或いは不足電圧等の異常を検出する異常検出回路32の出力をOR回路34に入力し、過電流検出回路31及び異常検出回路32の何れかで異常を検出したときにMOSFET14及び15を制御し、IGBT3のゲート電圧V<sub>g</sub>を低減させた状態で、IGBT3をオン制御するためのMOSFET12を遮断状態に切り換えてIGBT3を遮断させ、その後、IGBT3をオフ制御するためのMOSFET13を導通状態に切り換えるようにしたから、過電流発生時だけでなく、異常検出時にはIGBT3をソフト遮断することができ、高サージ電圧が印加されることを確実に回避することができる。



最終頁に続く

## 【特許請求の範囲】

【請求項1】 パワーデバイスの過電流を検出する過電流検出手段と、  
前記パワーデバイスの過電流を除く異常を検出する異常検出手段と、  
前記過電流検出手段で過電流を検出したとき又は前記異常検出手段で異常を検出したときに前記パワーデバイスを遮断させる遮断手段と、  
前記過電流検出手段で過電流を検出したとき前記遮断手段が作動する前に前記パワーデバイスを流れる電流量を低減させる電流低減手段と、を備えたパワーデバイスの駆動回路において、  
前記電流低減手段は、前記異常検出手段で異常を検出したときにも前記電流量の低減を図るようになっていることを特徴とするパワーデバイスの駆動回路。

【請求項2】 前記パワーデバイスを複数並列に接続するときその制御端子間を短絡し、  
前記遮断手段は、前記過電流検出手段又は前記異常検出手段で過電流又は異常を検出したとき、前記パワーデバイスの制御端子への入力信号を前記パワーデバイスを遮断させる遮断信号に切り換えるようにしたパワーデバイスの駆動回路であって、  
前記パワーデバイスを制御するための制御信号が前記パワーデバイスを導通させる導通制御信号であり且つ前記制御端子への入力信号が前記導通制御信号に相当する信号レベルでないことを検出したとき、前記遮断手段及び電流低減手段を作動させる制御手段を備えることを特徴とする請求項1記載のパワーデバイスの駆動回路。

【請求項3】 パワーデバイスを複数並列に接続するときその制御端子間を短絡するようにしたパワーデバイスの駆動回路であって、

前記パワーデバイスの異常を検出するデバイス異常検出手段と、  
当該デバイス異常検出手段で異常を検出したとき前記パワーデバイスの制御端子への入力信号を前記パワーデバイスを遮断させる遮断信号に切り換える遮断手段と、  
前記パワーデバイスを駆動するための制御信号が前記パワーデバイスを導通させる導通制御信号であり且つ前記制御端子への入力信号が前記導通制御信号に相当する信号レベルでないとき、前記遮断手段を作動させる制御手段と、を備えることを特徴とするパワーデバイスの駆動回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、インテリジェントパワーモジュールを構成するIGBT等といった、パワーデバイスの駆動回路に関する。

## 【0002】

【従来の技術】インバータやチョッパ等の電力変換装置に使用される半導体装置に、インテリジェントパワーモ

ジュール（以下、IPMという。）がある。このIPMは複数個のIGBTチップ等の半導体チップと、その駆動回路及び保護回路等が、同一のパッケージに収納されている。

【0003】図3は、IPMを用いたインバータの主回路図を示したものであって、図中1は直流電源、2はIPMである。なお、交流入力の場合には、直流電源1に替えて、整流器と電解コンデンサ等を備える。前記IPM2は、例えば、電圧駆動型パワーデバイスであるIGBT3とこのIGBT3に逆並列に接続されたダイオード4とを6組備えた3相のインバータと、IGBT3を駆動するためのゲート駆動回路5及びIGBT3を過電流や過熱等の異常から保護する保護回路6を備え、ゲート駆動回路5及び保護回路6は、前記IGBT3及びダイオード4からなる各組毎に設けられている。そして、図示しない外部装置からの制御信号に応じてゲート駆動回路5が作動して前記IGBT3をオンオフ制御し、また、保護回路6では過電流や過熱等の異常を検出した場合に、これを通知する異常検出信号を例えば外部装置に出力するようになっている。

【0004】前記ゲート駆動回路5及び保護回路6は、例えば図4に示すように構成されている。図中11は、ゲート駆動回路5用の電源であって、この電源11に、MOSFET12及び13が直列に接続されている。前記MOSFET12はIGBT3をオン制御するためのもの、また、前記MOSFET13はIGBT3をオフ制御するためのものであってゲート抵抗を兼ねている。そして、MOSFET12及び13間の電位がIGBT3のゲートに印加されるようになっている。

【0005】また、前記IGBT3のゲートと前記MOSFET13のドレイン間には、MOSFET14及び15が、MOSFET13と並列に接続されている。そして、図示しない外部装置からの制御信号はバッファ21及び論理反転回路22を介してAND回路23に反転入力され、AND回路23の反転出力が、IGBT3をオン制御するためのMOSFET12のゲートに印加されるようになっている。また、前記制御信号はバッファ21を介して論理回路24に反転入力され、論理回路24の出力がOR回路25の一方の入力端子に入力され、OR回路25の出力がIGBT3をオフ制御するためのMOSFET13のゲートに印加されるようになっている。

【0006】前記保護回路6は、IGBT3の過電流を検出するための過電流検出回路31及び過熱や不足電圧等、過電流以外の異常を検出する異常検出回路32を備えている。前記過電流検出回路31では、例えば、前記IGBT3を電流検出機能を備えたセンスIGBTで構成することによって、IGBT3の過電流を検出するようになっている。そして、前記過電流検出回路31の検出信号はAND回路33の一方の入力端子に入力され、

AND回路33の出力が前記MOSFET15のゲートに印加されるようになっている。また、過電流検出回路31及び異常検出回路32の出力はOR回路34に入力され、その出力が遅延回路35で所定時間T<sub>1</sub>だけ遅延された後、リセット回路36を介してOR回路37に入力されると共に前記MOSFET14のゲートに印加され、また、AND回路33の他方の入力端子に反転入力されるようになっている。前記リセット回路36は、入力される遅延回路35からの信号を出力するが、これがHIGHレベルであるとき、HIGHレベルとなった時点から所定時間T<sub>2</sub>が経過した時点で強制的にLOWレベルにリセットしこれを出力するようになっている。

【0007】前記OR回路37には、前記遅延回路35及びリセット回路36の出力信号が入力され、その出力は前記AND回路23に反転入力されると共に、遅延回路38に入力されるようになっている。この遅延回路38では、入力される信号を所定時間T<sub>3</sub>期間だけ遅延させた後、前記OR回路25に出力するようになっている。

【0008】このような構成において、過電流検出回路31で過電流を検出し、HIGHレベルの信号を出力すると、遅延回路35での遅延時間T<sub>1</sub>の期間、MOSFET15がオン制御されて導通状態となる。このとき、MOSFET12及び15が導通状態となることによって、これらMOSFET12及び15の抵抗分による分圧値がIGBT3のゲート電圧V<sub>g</sub>となることから、ゲート電圧V<sub>g</sub>は低減されることになる。通常、ゲート電位V<sub>g</sub>が電源電圧V<sub>DD</sub>に対して低下すると、IGBT3の出力特性に応じてコレクタ電流が制限され、現状流れている電流値の低減化を図ることが可能となる。したがって、その後、IGBT3が導通状態から遮断状態に制御された場合には、低サージ電圧化が図られることになる。

【0009】なお、図4に示すMOSFET15に替えて、図5に示すように、直列に接続したツェナーダイオードとMOSFETを接続する場合もある。この場合、ツェナー電圧値がゲート電圧となる。また、過電流検出回路31又は異常検出回路32で異常を検出した場合には、遅延回路35の遅延時間T<sub>1</sub>経過後、MOSFET14をオン、MOSFET12及び15をオフさせる。一般に、MOSFET14を高抵抗としているため、ソフト遮断となる。なお、MOSFET14は、リセット回路36によって設定時間T<sub>2</sub>が経過した時点でオフ状態に切り換えられる。そして、前記MOSFET14をオンした後、遅延回路38での遅延時間T<sub>3</sub>が経過した時点でMOSFET13をオンさせる。これによって、IGBT3がオフしている期間中のゲート及びエミッタ間のインピーダンスの低減を図るようにしている。

【0010】

【発明が解決しようとする課題】上述のように、IGBT

3の過電流を検出したときには、ゲート電位V<sub>g</sub>を低減させた後、IGBT3を遮断するようになっている。このため、IGBT3を遮断させても、高サージ電圧が印加されることはない。しかしながら、過熱等のその他の異常を検出した場合には、電流制限を行わずにIGBT3の遮断を行っているため、大電流遮断に伴う高サージ電圧が印加される可能性があるという問題がある。

【0011】また、上述のようなIPM2を複数並列化して用いる際に、IGBT3のゲート端子間を短絡して複数のIPM2を並列化するようにした場合には、あるIPM2において過電流が発生した場合、本来ならば全てのIPM2において過電流が検出されるべきであるが、各IPM毎にゲート駆動回路5や保護回路6の特性にばらつきがあるため、ある一つのIPM2においてのみ過電流が検出される場合がある。

【0012】この場合、過電流が検出されたIPM2においてのみ、ゲート電位V<sub>g</sub>を低減させる回路が作動しゲート遮断が行われるため、並列接続している他のIPM2の動作が不平衡となり、特定のIPM2に電流集中する等といった現象が生じる場合がある。そこで、この発明は、上記従来の未解決の問題点に着目してなされたものであり、IPMの信頼性を向上させると共に、複数のIPMを並列化した状態で過電流が発生した場合であっても、特定のIPMにゲート電流が集中することのないパワーデバイスの駆動回路を提供することを目的としている。

【0013】

【課題を解決するための手段】上記目的を達成するためには、本発明の請求項1に係るパワーデバイスの駆動回路は、パワーデバイスの過電流を検出する過電流検出手段と、前記パワーデバイスの過電流を除く異常を検出する異常検出手段と、前記過電流検出手段で過電流を検出したとき又は前記異常検出手段で異常を検出したときに前記パワーデバイスを遮断させる遮断手段と、前記過電流検出手段で過電流を検出したとき前記遮断手段が作動する前に前記パワーデバイスを流れる電流量を低減させる電流低減手段と、を備えたパワーデバイスの駆動回路において、前記電流低減手段は、前記異常検出手段で異常を検出したときにも前記電流量の低減を図るようになっていることを特徴としている。

【0014】この請求項1に係る発明では、パワーデバイスの過電流が検出されたときだけでなく、これ以外の何らかの異常が検出された場合であっても、遮断手段が作動する前にパワーデバイスを流れる電流量が低減され、その後パワーデバイスが遮断される。つまり、過電流検出手段或いは異常検出手段において過電流或いは異常が検出されたときにはパワーデバイスが遮断される前にその電流低減が図られることになり、すなわちソフト遮断が行われる。

【0015】また、請求項2に係るパワーデバイスの駆

動回路は、前記パワーデバイスを複数並列に接続するときその制御端子間を短絡し、前記遮断手段は、前記過電流検出手段又は前記異常検出手段で過電流又は異常を検出したとき、前記パワーデバイスの制御端子への入力信号を前記パワーデバイスを遮断させる遮断信号に切り換えるようにしたパワーデバイスの駆動回路であって、前記パワーデバイスを制御するための制御信号が前記パワーデバイスを導通させる導通制御信号であり且つ前記制御端子への入力信号が前記導通制御信号に相当する信号レベルでないことを検出したとき、前記遮断手段及び電流低減手段を作動させる制御手段を備えることを特徴としている。

【0016】この請求項2に係る発明では、複数のパワーデバイスを並列に接続する際に、各パワーデバイスどうしの制御端子間が短絡されて並列化される。そして、各パワーデバイスを駆動するための駆動回路においては、前記パワーデバイスを制御するための制御信号がパワーデバイスを導通させるための導通制御信号であり且つ、パワーデバイスの制御端子への入力信号が導通制御信号に相当する信号レベルでないときに、電流低減手段及び遮断手段を作動させる。

【0017】つまり、例えば各パワーデバイスが導通状態に制御されている状態から、あるパワーデバイスにおいて異常が発生し、このパワーデバイスを駆動する駆動回路において、このパワーデバイスの制御端子への入力信号が遮断制御信号に切り換わると、このパワーデバイスの制御端子は他のパワーデバイスの制御端子と短絡されているから、異常が発生していない他のパワーデバイスの制御端子への入力信号も変化することになる。このとき、異常が発生していないパワーデバイスの駆動回路では、パワーデバイスへの制御信号が導通制御信号であるにも関わらず、パワーデバイスへの入力信号は導通制御信号に相当する信号レベルとはならないから、電流低減手段が作動されてパワーデバイスを流れる電流低減が行われた後、パワーデバイスが遮断されることになる。したがって、並列接続されている全てのパワーデバイスが遮断されることになる。

【0018】さらに、請求項3に係るパワーデバイスの駆動回路は、パワーデバイスを複数並列に接続するときその制御端子間を短絡するようにしたパワーデバイスの駆動回路であって、前記パワーデバイスの異常を検出するデバイス異常検出手段と、当該デバイス異常検出手段で異常を検出したとき前記パワーデバイスの制御端子への入力信号を前記パワーデバイスを遮断させる遮断信号に切り換える遮断手段と、前記パワーデバイスを駆動するための制御信号が前記パワーデバイスを導通させる導通制御信号であり且つ前記制御端子への入力信号が前記導通制御信号に相当する信号レベルでないとき、前記遮断手段を作動させる制御手段と、を備えることを特徴としている。

【0019】この請求項3に係る発明では、複数のパワーデバイスが並列接続されるときに、各パワーデバイスの制御端子間が短絡されて並列化される。そして、各パワーデバイスの駆動回路においては、パワーデバイスの異常を検出したときにはパワーデバイスを制御するための制御信号をパワーデバイスを遮断させる遮断制御信号に切り換えパワーデバイスを遮断する。

【0020】このとき、パワーデバイスへの制御端子間は短絡されているから、何れかのパワーデバイスの制御端子への制御信号が遮断制御信号に切り換えられると、他のパワーデバイスの制御端子への入力信号の信号レベルが変化する。したがって、異常が検出されていないパワーデバイスの駆動回路では、パワーデバイスへの制御信号が導通制御信号であるにも関わらず、信号レベルが導通制御信号に相当する信号レベルではないことから遮断手段が作動し、異常が検出されていないパワーデバイスも遮断されることになる。

【0021】

【発明の実施の形態】以下に、本発明の実施の形態を説明する。図1は、本発明の第1の実施の形態を適用したインテリジェントパワーモジュールの、駆動及び保護回路部10の一例を示す回路図である。なお、インテリジェントパワーモジュール全体の構成は、図3に示す従来と同様であるのでその詳細な説明は省略する。

【0022】このインテリジェントパワーモジュール(IPM)2は、図3に示すように3相のインバータ及びこれを駆動するためのゲート駆動回路5及び保護するための保護回路6を備えて構成されている。これらゲート駆動回路5及び保護回路6は、前記インバータを構成する6個のIGBT3毎に、設けられている。図1は、前記ゲート駆動回路5及び保護回路6の回路図である。

【0023】図中11は、ゲート駆動回路5用の電源であって、この電源11に、Pチャネル型MOSFET12及びNチャネル型MOSFET13が直列に接続されている。前記MOSFET12はIGBT3をオン制御するためのもの、また、前記MOSFET13はIGBT3をオフ制御するためのものであってゲート抵抗を兼ねている。そして、MOSFET12及び13間の電位がIGBT3のゲートに印加されるようになっている。

【0024】また、前記IGBT3のゲートと前記MOSFET13のドレイン間には、Nチャネル型のMOSFET14及び15が、MOSFET13と並列に接続されている。なお、前記MOSFET14は高抵抗となるように設定される。そして、図示しない外部装置からの制御信号はバッファ21及び論理反転回路22を介してAND回路23の一方の入力端子に反転入力され、AND回路23の反転出力が、IGBT3をオン制御するためのMOSFET12のゲートに印加される。また、前記制御信号はバッファ21を介して論理回路24の一方の入力端子に反転入力され、論理反転回路24の

出力がOR回路25の一方の入力端子に入力され、OR回路25の出力がIGBT3をオフ制御するためのMOSFET13のゲートに印加される。

【0025】前記保護回路6は、IGBT3の過電流を検出するための過電流検出回路31及び過熱や不足電圧等、過電流以外の異常を検出する異常検出回路32を備えており、前記過電流検出回路31は、例えば前記IGBT3を電流検出機能を備えたセンスIGBTで構成することによって、IGBT3の過電流を検出するようになっている。前記過電流検出回路31及び異常検出回路32の出力はOR回路34に入力され、その出力が遅延回路35に入力されると共に、OR回路33の一方の入力端子に入力される。

【0026】前記遅延回路35では、入力される信号を所定時間T<sub>1</sub>だけ遅延した後これを出力し、この出力は、OR回路37の一方の入力端子に入力されると共に、リセット回路36を介してOR回路37の他方の入力端子に入力される。また、前記リセット回路36の出力は、前記OR回路33の他方の入力端子に入力される。前記リセット回路36では、入力される遅延回路35からの信号を出力すると共に、入力される信号がHIGHレベルであるときには、HIGHレベルとなった時点から所定時間T<sub>2</sub>が経過した時点で強制的にLOWレベルにリセットし出力する。

【0027】前記OR回路37の出力は、前記AND回路23の他方の入力端子に反転入力されると共に、遅延回路38に入力される。この遅延回路38では、入力される信号を所定時間T<sub>3</sub>期間だけ遅延させた後、前記OR回路25に出力する。なお、前記図示しない外部装置では、IGBT3を導通状態に制御するときHIGHレベル、遮断状態に制御するときLOWレベルの制御信号を出力するようになっている。また、過電流検出回路31及び異常検出回路32では、異常を検出したときHIGHレベルの検出信号を出力するようになっている。

【0028】また、前記MOSFET12及び13がゲート駆動回路5を構成し、前記MOSFET14及び15、各種回路21～38が保護回路6を構成している。次に、上記第1の実施の形態の動作を説明する。今、図示しない外部装置からIGBT3を導通させるためのHIGHレベルの制御信号が出力されているものとする。また、過電流検出回路31及び異常検出回路32では共に異常を検出していない状態であるとする。

【0029】外部装置からのHIGHレベルの制御信号はバッファ21を介して論理反転回路22で反転され、AND回路23の一方の入力端子に反転入力される。また、過電流検出回路31及び異常検出回路32では異常を検出していないから、これらの出力はLOWレベルである。したがって、OR回路34の出力はLOWレベルとなり、これが、遅延回路35、リセット回路36を経てOR回路37に入力されるから、OR回路37の出力

はLOWレベルとなる。したがって、AND回路23には共にLOWレベルの信号が反転入力されるからその反転出力はLOWレベルとなり、IGBT3をオン制御するためのMOSFET12は導通状態となる。

【0030】また、OR回路37の出力がLOWレベルであるから、OR回路25には、論理回路24からのLOWレベルの信号と遅延回路38からのLOWレベルの信号とが入力される。よって、OR回路25の出力はLOWレベルとなり、IGBT3をオフ制御するためのMOSFET13は遮断状態となる。また、OR回路34の出力がLOWレベルであり、遅延回路36の出力がLOWレベルであることから、AND回路33の出力がLOWレベルとなり、MOSFET14及び15は遮断状態となる。

【0031】したがって、IGBT3のゲート電圧V<sub>g</sub>がHIGHレベルとなり、IGBT3は導通状態となる。この状態から、例えば、異常検出回路32で何らかの異常が検出されると、その出力がHIGHレベルとなる。このため、OR回路34の出力がHIGHレベルとなり、また、遅延回路35の出力がLOWレベルでありリセット回路36の出力がLOWレベルであることから、AND回路33の出力がHIGHレベルとなりMOSFET15が導通状態となる。このため、MOSFET12及び15が導通状態となり、MOSFET13及び14が遮断状態を維持することから、MOSFET12及び15の抵抗分による分圧値がIGBT3のゲート電圧V<sub>g</sub>となるため、ゲート電圧V<sub>g</sub>は低下する。このため、ゲート電圧V<sub>g</sub>が電源電圧11に対して低下するから、コレクタ電流が制限されることになり現状流れている電流値が低減されることになる。

【0032】そして、異常検出回路32で異常が検出された後、所定時間T<sub>1</sub>が経過すると、遅延回路35の出力がHIGHレベルとなるから、OR回路37の出力がHIGHレベルとなる。このため、AND回路23の反転出力がHIGHレベルとなり、MOSFET12は遮断状態となる。また、AND回路33の出力がLOWレベルとなることから、MOSFET15は遮断状態となりMOSFET14は導通状態となる。

【0033】このMOSFET14は高抵抗となるよう設定されているから、IGBT3はソフト遮断されることになる。そして、異常検出回路32で異常が検出された時点から遅延回路35の遅延時間T<sub>1</sub>が経過してOR回路37の出力がHIGHレベルになった時点から遅延回路38の遅延時間T<sub>3</sub>が経過した時点で遅延回路38の出力がHIGHレベルに切り換わると、IGBT3のオフ制御用のMOSFET13が導通状態に切り換わる。

【0034】これによって、MOSFET12が遮断状態、MOSFET13が導通状態となるため、IGBT3は遮断状態に制御されることになる。これによって、

IGBT3がオフしている期間中のゲート及びエミッタ間のインピーダンスの低減が図られることになる。一方、異常検出回路32に替えて過電流検出回路31において過電流が検出された場合には、OR回路34の出力がHIGHレベルとなることから、上記と同様の動作を行うことになる。

【0035】したがって、IGBT3の過電流を検出した場合、また、過熱、不足電圧等、過電流検出回路31及び異常検出回路32において異常を検出した場合には、IGBT3を遮断する前に、そのゲート電圧Vgを低減さるようにしたから、高サージ電圧が印加されることを回避し、信頼性を向上させることができる。なお、上記第1の実施の形態においては、パワーデバイスとしてIGBT3を適用した場合について説明したがこれに限るものではなく、他のパワーデバイスであっても適用できることはいうまでもない。

【0036】また、上記第1の実施の形態においては、異常検出回路32において、過熱、不足電圧等を検出するようにした場合について説明したが、これに限るものではなく、IGBT3の遮断を必要とする異常であれば適用することができる。なお、上記第1の実施の形態において、IGBT3がパワーデバイスに対応し、過電流検出回路31が過電流検出手段に対応し、異常検出回路32が異常検出手段に対応し、保護回路6が遮断手段及び電流低減手段に対応している。

【0037】次に、本発明の第2の実施の形態を説明する。図2は、図3に示すインバータにおいて、各相のアームをそれぞれ2つ並列に接続して構成し、IPM2a及び2bを並列に接続し、各IPMの対応するIGBT3どうしのゲート端子間を短絡して、並列に接続するようにした場合の回路図の一部を示したものである。なお、IPM2a及びIPM2bの構成は、上記第1の実施の形態におけるIPM2とほぼ同様であるので、同一部には同一符号を付与し、その詳細な説明は省略する。

【0038】この第2の実施の形態におけるIPM2a及びIPM2bは同一に構成され、図1に示すIPM2において、保護回路6に、比較器41、比較器41に基づく基準電圧V<sub>TH</sub>を供給するための電源42、及びAND回路43が追加されている。なお、比較器41、電源42及びAND回路43が制御手段に対応している。前記電源42の基準電圧V<sub>TH</sub>は、例えば、他のIPMにおいて、後述の過電流・異常検出回路30の動作によってそのIGBT3のゲート電圧Vgの低減がなされたとみなすことの可能な値に設定される。

【0039】前記比較器41は、その非反転入力端子がIGBT3のゲート端子と接続され、その反転入力端子は、電源42を介してIGBT3のエミッタ側に接続されている。そして比較器41の出力はAND回路43の一方の入力端子に反転入力される。このAND回路43の他方の入力端子には、前記論理反転回路22の出力が

反転入力され、AND回路43の出力は、OR回路34の一方の入力端子に入力されるようになっている。

【0040】そして、このOR回路34の他方の入力端子には、前記過電流検出回路31及び異常検出回路32からなる過電流・異常検出回路30の出力が入力されるようになっている。そして、IPM2aのIGBT3aとIPM2bのIGBT3bとが並列に接続され、各IGBT3a及び3bのゲート端子が、短絡線Lによって短絡されている。

【0041】今、IPM2a及び2bが正常である場合には、IPM2aにおいては、図示しない外部装置からの制御信号に基づいてIGBT3aが制御され、制御信号がHIGHレベルの場合には、ゲート端子には所定の電圧が印加され、そのゲート電圧Vgは基準電圧V<sub>TH</sub>よりも高いから、比較回路41の出力はHIGHレベルとなり、また、制御信号がHIGHレベルである。よって、AND回路43には、LOWレベル及びHIGHレベルの信号が入力されることになりその出力はLOWレベルとなるから、OR回路34の出力はLOWレベルを維持する。逆に、制御信号がLOWレベルの場合には、論理反転回路22の出力はHIGHレベルとなるので、AND回路43の出力はLOWレベルとなるから、OR回路34の出力はLOWレベルを維持する。

【0042】したがって、ゲート駆動回路5及び保護回路6は、上記第1の実施の形態と同様に、制御信号に応じて、MOSFET12及び13が制御されて、IGBT3aが制御されることになる。前記IPM2bにおいても同様に制御されることになる。この状態から、IPM2aにおいて、IGBT3aの異常、例えば過熱或いは電圧不足等を検出した場合には、これが過電流・異常検出回路30によって検出され、過電流・異常検出回路30の出力信号がHIGHレベルとして出力されるから、上記第1の実施の形態と同様の動作が行われ、IGBT3aのゲート電圧Vgaが低減された後、IGBT3aは遮断状態に制御されることになる。

【0043】ここで、IGBT3aのゲート電圧Vgaが低下すると、IGBT3a及び3bのゲート端子は短絡されていることから、IPM2bにおいてもIGBT3bのゲート電圧Vgbが減少し、このゲート電圧Vgbが電源42の基準電圧V<sub>TH</sub>を下回ると、比較回路41の出力はLOWレベルとなる。このとき、制御信号はHIGHレベルであるから、AND回路43には、比較回路41からのLOWレベルの信号と論理回路22からのLOWレベルの反転出力とが反転入力されることになるから、その出力はHIGHレベルとなる。

【0044】したがって、IPM2bの過電流・異常検出回路30において異常を検出しない場合でも、AND回路43からのHIGHレベルの信号が入力されOR回路34に入力され、その出力がHIGHレベルとなるから、前記IPM2aと同様に、IGBT3bのゲート電

圧Vgbが減圧された後、IGBT3bは遮断されることになる。

【0045】したがって、IPM2aの過電流・異常検出回路30において異常を検出し、IGBT3aを遮断制御した場合には、他のIPM2bの過電流・異常検出回路30において、異常を検出しているかどうかに関わらず、遮断制御したIGBT3aに対応するIGBT3bを遮断制御するようにしたから、並列接続されているIPMにおいて、対応するIGBTがほぼ同時に遮断制御されることになる。よって、特定のIPMのみがゲート遮断されることによって、並列接続している他のIPMにおいて、その動作が不平衡となり特定のIPMに対して電流集中する等といった現象が発生することはなく、信頼性をより向上させることができる。

【0046】なお、上記第2の実施の形態においては、インバータの各相のアームを2つ並列に設けた場合について説明したがこれに限らず、複数並列に接続する場合であれば適用することができる。また、上記第2の実施の形態においては、異常検出時にIGBT3を遮断する前に、IGBT3を流れる電流低減を図るようになっているIPMに適用した場合について説明したが、電流低減を図るようにしたIPMでなくとも適用することができ、この場合にも特定にIPMに対して電流集中する等といった現象が発生することを回避することができる。しかしながら、IGBT3を遮断する前に電流低減を図るようにした方が、前述のように高サージ電圧が印加されることを防止することができるため、好ましい。

【0047】また、上記各実施の形態においては、前記IGBT3を保護するための回路として、MOSFET15を用いたIPMに適用した場合について説明したが、前記図5に示すように、MOSFET15とこれに直列に接続したツェナーダイオード16とを用いるようにしたIPMにおいても適用することができ、また、直流電源1に替えて、交流電源を用いる場合であっても適用できることはいうまでもない。

【0048】また、上記各実施の形態においては、インバータを構成するIGBTに適用した場合について説明したが、これに限るものではなく、コンバータ、チョッパ回路等といった電力変換装置であっても適用することができ、また、IGBTに関わらずMOSFETや電力制御用に用いられるパワーデバイスに適用することができる。

【0049】また、上記各実施の形態においては、IPMに適用した場合について説明したが、これに限るものではなく、IGBT、ゲート駆動回路、保護回路をディスクリートで構成したシステムであっても適用することができる。

### 【0050】

【発明の効果】以上説明したように、本発明の請求項1に係るパワーデバイスの駆動回路によれば、パワーデバイスの過電流が検出されたときだけでなく、これ以外の何らかの異常が検出された場合であっても、遮断手段が作動する前にパワーデバイスを流れる電流量を低減させ、その後パワーデバイスを遮断するようにしたから、高サージ電圧が印加されることを回避し、信頼性を向上させることができる。

【0051】また、請求項2及び請求項3に係るパワーデバイスの駆動回路によれば、パワーデバイスへの制御信号がパワーデバイスを導通状態に制御する信号であり且つパワーデバイスの制御端子への入力信号が導通制御信号に相当する信号レベルでないときにはパワーデバイスを遮断するようにしたため、複数のパワーデバイスがそのパワーデバイスの制御端子間を短絡して並列化された状態で何れかのパワーデバイスの異常が検出されてこれが遮断状態に制御されると、他のパワーデバイスも遮断されるから、何れかのパワーデバイスへの電流集中等が発生することを防止することができる。特に、請求項2に係るパワーデバイスの駆動回路によれば、パワーデバイスを遮断する前にパワーデバイスを流れる電流量を低減させた後遮断するようにしたから、高サージ電圧が印加されることも回避することができる。

### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態におけるIPMの一例を示す回路図の一部である。

【図2】本発明の第2の実施の形態におけるIPMの一例を示す回路図の一部である。

【図3】IPMを用いてインバータを構成した場合の一例を示す回路図である。

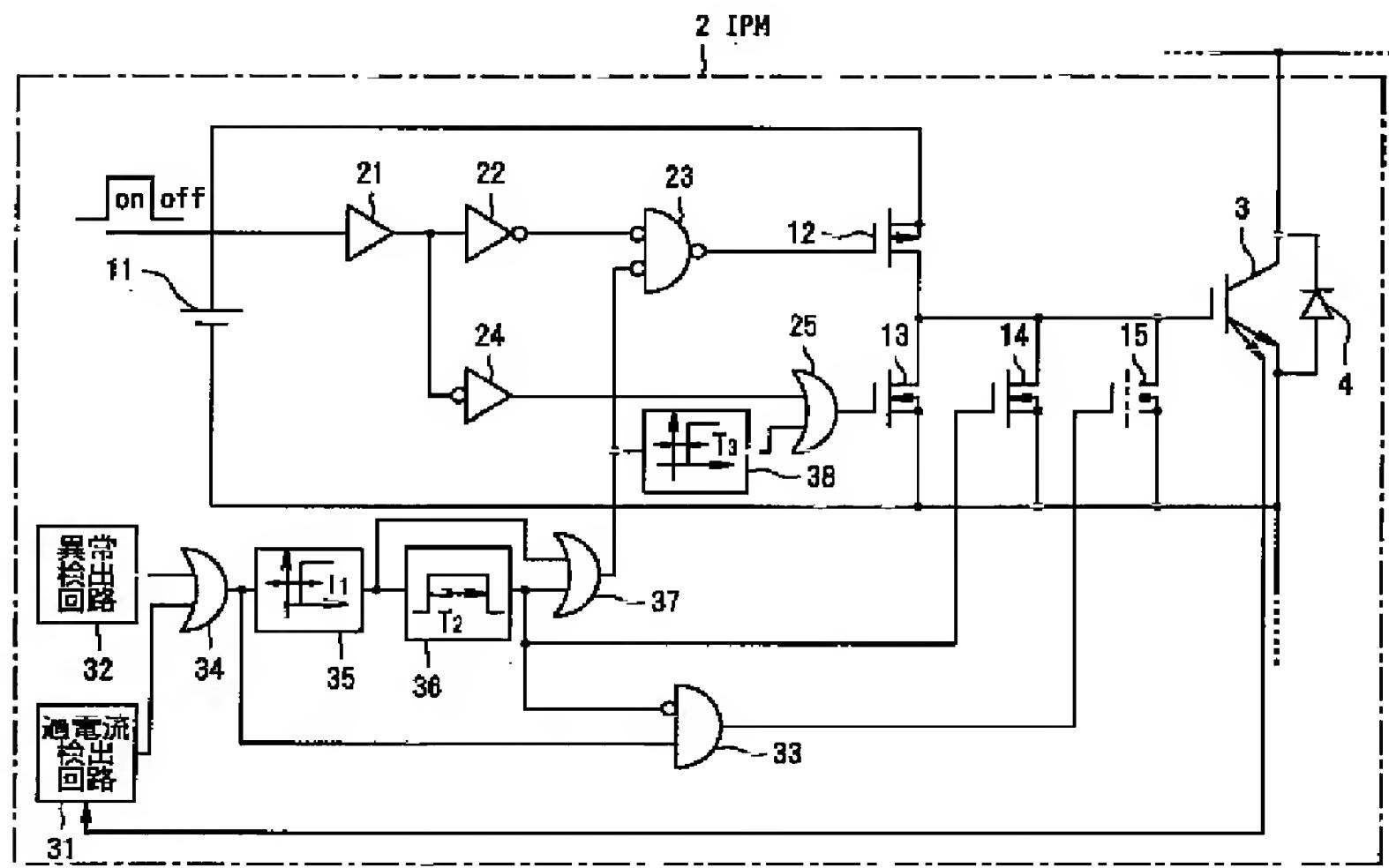
【図4】従来のIPMの一例を示す回路図の一部である。

【図5】従来のIPMのその他の例を示す回路図である。

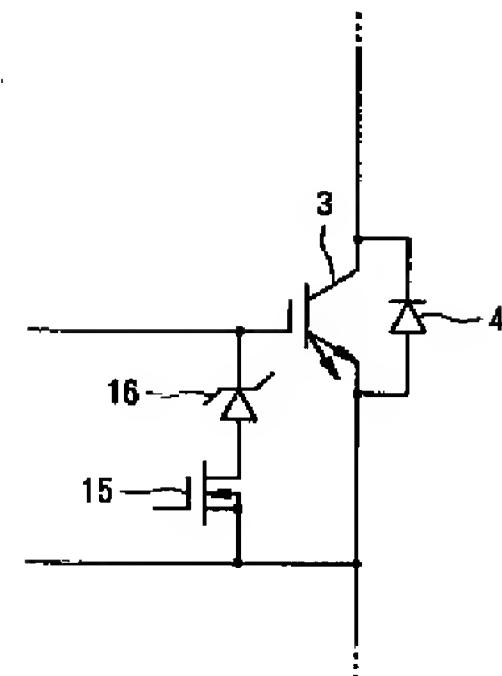
### 【符号の説明】

- 1 直流電源
- 2, 2a, 2b IPM (インテリジェントパワーモジュール)
- 3, 3a, 3b IGBT
- 4 ダイオード
- 5 ゲート駆動回路
- 6 保護回路
- 30 過電流・異常検出回路
- 31 過電流検出回路
- 32 異常検出回路

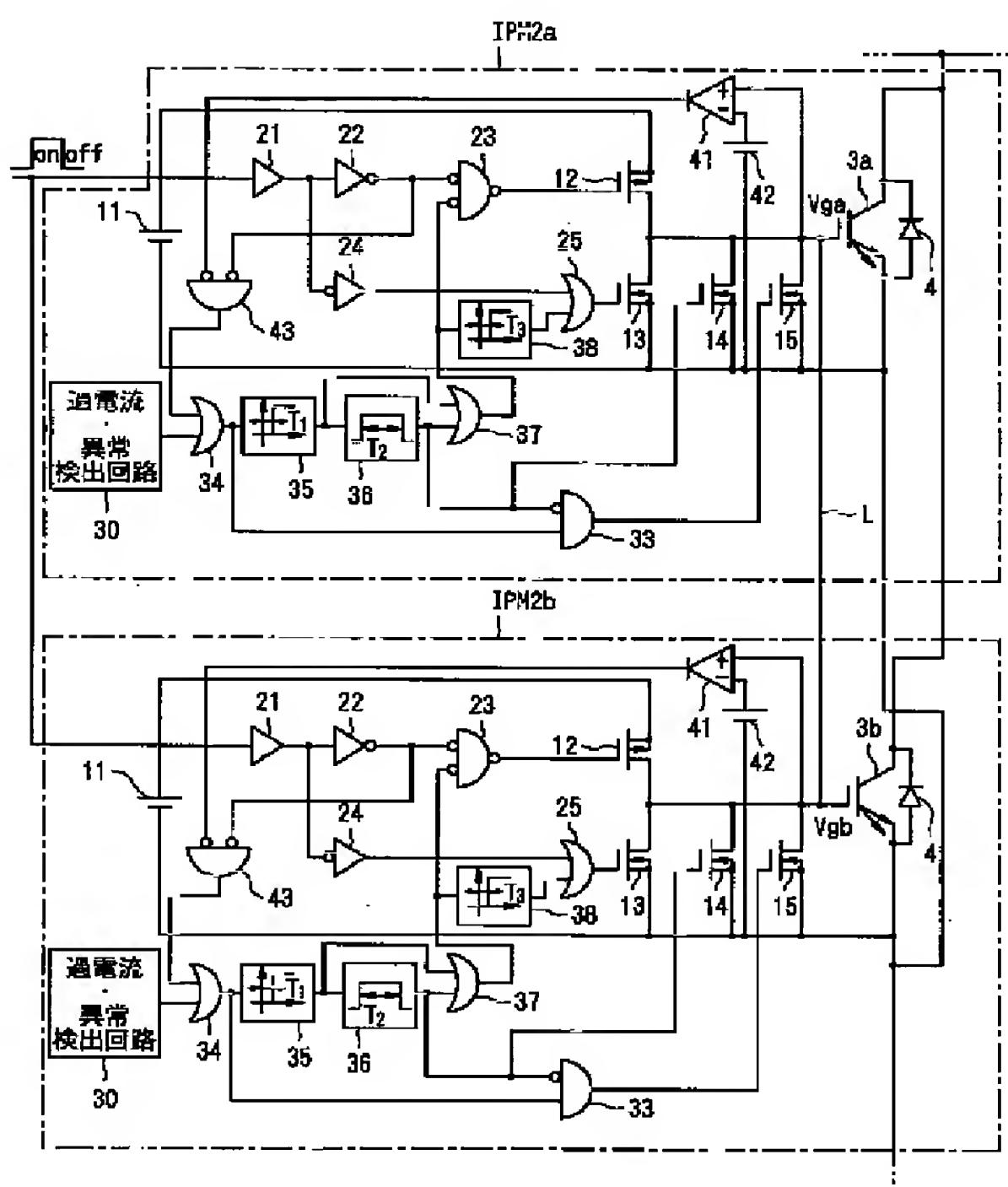
【图1】



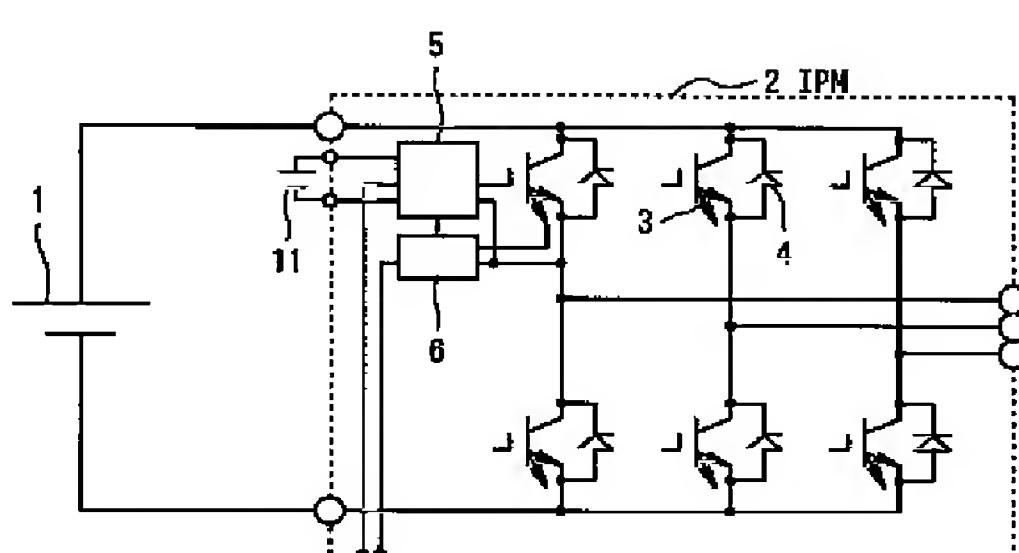
【图5】



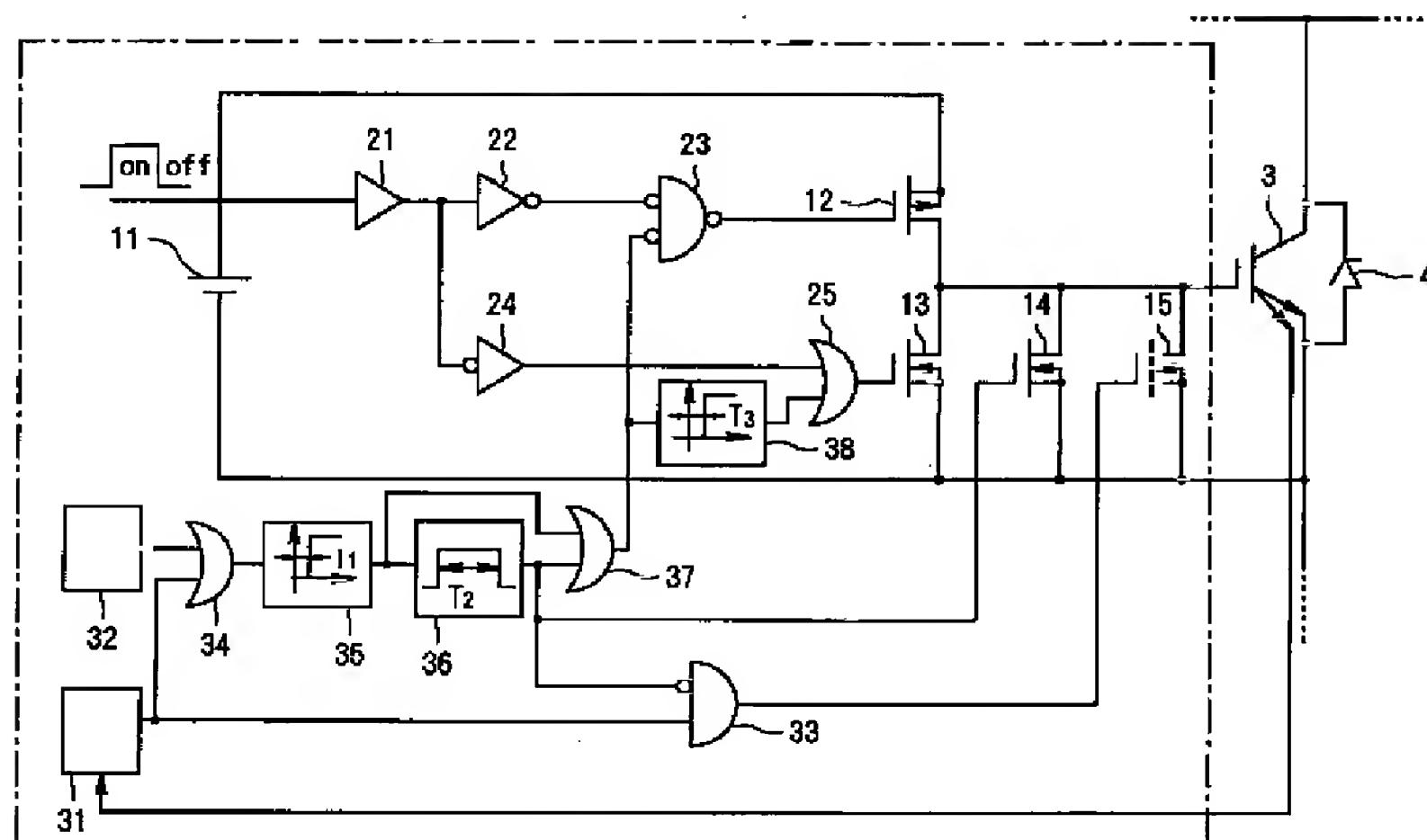
〔圖2〕



[図3]

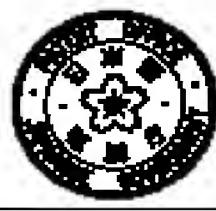


[図4]



## フロントページの続き

F ターム(参考) 5G053 AA01 AA12 AA14 CA02 EA03  
EB01 EC03  
5H007 AA17 CA01 CB02 CB05 CC07  
DC02 FA01 FA03 FA13 FA18  
FA19  
5H740 BA13 BB02 BB05 BC01 BC02  
MM05 MM12



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2003134797 A**(43) Date of publication of application: **09.05.03**

(51) Int. Cl

**H02M 1/00****H02H 7/122****H02M 1/08****H02M 7/48**(21) Application number: **2001318686**(71) Applicant: **FUJI ELECTRIC CO LTD**(22) Date of filing: **16.10.01**(72) Inventor: **TAKIZAWA AKITAKE**

(54) DRIVE CIRCUIT FOR POWER DEVICE

COPYRIGHT: (C)2003,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To improve the reliability by surely avoiding the application of a high surge voltage when a power device is shielded in association with the detection of a malfunction.

**SOLUTION:** The outputs of an overcurrent detector 31 for detecting an overcurrent, and a malfunction detector 32 for detecting the malfunction such as an overheat, an insufficient voltage or the like, are input to an OR circuit 34. When the malfunction occurs in any one of the detector 31 and the detector 32, MOSFETs 14 and 15 are controlled, a MOSFET 12 for controlling on the IGBT 3 is switched to a cut-off state to cut off the IGBT 3 in the state in which the gate voltage  $V_g$  of the IGBT 3 is lowered, and thereafter the MOSFET 13 for controlling off the IGBT 3 is switched to a conductive state. Accordingly, the IGBT 3 can be softly cut off at the time of not only generating the overcurrent but also detecting the malfunction, and hence the application of the high surge voltage can be surely avoided.

